

Me



04CO  
5-24-01



PATENT APPLICATION

0200

0500  
0200

#5

9-4-01  
Morehouse

In re the Application of

Kazunori SAKURAI et al.

Application No.: 09/843,924

Filed: April 30, 2001

Docket No.: 109182

For: METHOD FOR FORMING BUMP, SEMICONDUCTOR DEVICE AND METHOD  
FOR MAKING THE SAME, CIRCUIT BOARD, AND ELECTRONIC DEVICE

**CLAIM FOR PRIORITY**

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-132172, filed May 1, 2000;

Japanese Patent Application No. 2000-272595, filed September 8, 2000; and

Japanese Patent Application No. 2001-044824, filed February 21, 2001.

In support of this claim, certified copies of said original foreign applications:

  X   are filed herewith.

           were filed on            in Parent Application No.            filed           .

           will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. § 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff  
Registration No. 27,075

Eric D. Morehouse  
Registration No. 38,565

JAO:EDM/gam

Date: May 15, 2001

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**

Please grant any extension  
necessary for entry;

Charge any fee due to our  
Deposit Account No. 15-0461



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月 1日

出 願 番 号

Application Number:

特願2000-132172

出 願 人

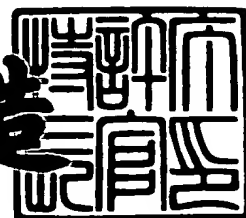
Applicant(s):

セイコーエプソン株式会社

2001年 4月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3032336

【書類名】 特許願

【整理番号】 EP-0236301

【提出日】 平成12年 5月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 桜井 和徳

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 パッドの少なくとも一部を露出させる開口部を絶縁膜に形成し、前記パッドと接続するバンプを形成する方法であって、

前記パッドと少なくとも一部において平面的に重なる貫通穴を有するレジスト層を形成し、

前記絶縁膜に開口部を形成し、前記開口部により露出する前記パッドと接続する金属層を形成するバンプの形成方法。

【請求項 2】 請求項 1 記載のバンプの形成方法において、

前記貫通穴を、前記パッドの外周を超えないように形成するバンプの形成方法

。

【請求項 3】 請求項 1 又は請求項 2 に記載のバンプの形成方法において、

前記金属層は、第 1 の金属層と、前記第 1 の金属層の表面に形成されてなる第 2 の金属層と、からなるバンプの形成方法。

【請求項 4】 請求項 3 記載のバンプの形成方法において、

前記開口部が、前記貫通穴の外周を超えるように形成されることによって、前記第 1 の金属層が形成される領域と、露出部と、が前記パッドに形成され、前記露出部を覆うように前記パッドに前記第 2 の金属層を形成するバンプの形成方法

。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載のバンプの形成方法において、

前記絶縁膜は、前記パッドの中央部よりも端部において厚く形成されてなるバンプの形成方法。

【請求項 6】 請求項 1 から請求項 3 のいずれかを引用する請求項 5 記載のバンプの形成方法において、

前記貫通穴を、前記パッドの外周よりも内側であって、かつ、前記絶縁膜が薄

く形成されている前記パッドの中央部よりも外側に形成するバンプの形成方法。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載のバンプの形成方法において、

前記第 1 の金属層を無電解メッキによって形成するバンプの形成方法。

【請求項 8】 請求項 1 から請求項 7 のいずれかに記載のバンプの形成方法によって、半導体チップに形成された前記パッド上に前記バンプを形成する半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法によって製造されてなる半導体装置。

【請求項 10】 複数のパッドを有する半導体チップと、

前記半導体チップ上に形成され、少なくとも各前記パッドの端部を覆うように形成された絶縁膜と、

各前記パッド上に形成されたバンプと、

を有し、

前記バンプは、前記開口部の外周よりも内側に形成された第 1 の金属層と、前記第 1 の金属層と前記開口部との間に少なくとも一部が形成された第 2 の金属層と、を有してなる半導体装置。

【請求項 11】 複数のパッドを有する半導体チップと、

前記半導体チップ上に形成され、少なくとも各前記パッドの端部を覆うように形成された絶縁膜と、

各前記パッド上に形成されたバンプと、

を有し、

前記バンプは、その端部が前記絶縁膜上に形成されるように前記開口部よりも大きく形成され、

前記絶縁膜は、前記半導体チップの面上よりも前記バンプの前記端部下において薄く形成されてなる半導体装置。

【請求項 12】 請求項 9 から請求項 11 に記載の半導体装置が搭載された回路基板。

【請求項 13】 請求項 9 から請求項 11 に記載の半導体装置を有する電子

機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

半導体チップのパッドにバンプを形成するときに、無電解メッキを用いて金属などからなるバンプを形成する方法が知られている。

【0003】

しかしながら、無電解メッキでは、金属の高さ方向のみならず幅方向にも成長する（等方成長する）ため、バンプの幅がパッドの幅を超えてしまい、狭ピッチのパッドに対してバンプを形成すること難しかった。

【0004】

本発明は、この問題点を解決するためのものであり、その目的は、所望な幅で、かつ、簡単にバンプを形成することができるバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

（１）本発明に係るバンプの形成方法は、

パッドの少なくとも一部を露出させる開口部を絶縁膜に形成し、前記パッドと接続するバンプを形成する方法であって、

前記パッドと少なくとも一部において平面的に重なる貫通穴を有するレジスト層を形成し、

前記絶縁膜に開口部を形成し、前記開口部により露出する前記パッドと接続する金属層を形成する。

【0006】

本発明によれば、例えば、一度形成したレジスト層の貫通穴を使用して、絶縁

膜に開口部を形成し、パッドと接続する金属層を形成するので、簡単な工程でバンプを形成することができる。レジスト層の貫通穴内に金属層を形成した場合は、貫通穴の大きさに応じた形状で、すなわち所望の幅でバンプを形成することができる。

## 【0007】

(2) このバンプの形成方法において、前記貫通穴を、前記パッドの外周を超えないように形成してもよい。

## 【0008】

これによれば、パッドの外周を超えないように金属層を形成することができる。したがって、狭ピッチで設けられた複数のパッドのそれぞれに、バンプを形成することができる。

## 【0009】

(3) このバンプの形成方法において、前記金属層は、第1の金属層と、前記第1の金属層の表面に形成されてなる第2の金属層と、からなってもよい。

## 【0010】

(4) このバンプの形成方法において、前記開口部が、前記貫通穴の外周を超えるように形成されることによって、前記第1の金属層が形成される領域と、露出部と、が前記パッドに形成され、前記露出部を覆うように前記パッドに前記第2の金属層を形成してもよい。

## 【0011】

これによれば、開口部が貫通穴を超えた形状に形成されても、第2の金属層でパッドの露出部を覆うので、パッドを露出させておくことがない。

## 【0012】

(5) このバンプの形成方法において、前記絶縁膜は、前記パッドの中央部よりも端部において厚く形成されてもよい。

## 【0013】

これによって、半導体チップを厚い絶縁膜で確実に保護することができる。絶縁膜の厚い部分は、複数層で形成してもよい。

## 【0014】



(6) このバンプの形成方法において、前記貫通穴を、前記パッドの外周よりも内側であって、かつ、前記絶縁膜が薄く形成されている前記パッドの中央部よりも外側に形成する

これによれば、パッドを露出させることなくバンプを形成することができる。

【 0 0 1 5 】

(7) このバンプの形成方法において、前記第 1 の金属層を無電解メッキによって形成してもよい。

【 0 0 1 6 】

(8) 本発明に係る半導体装置の製造方法は、上記バンプの形成方法によって、半導体チップに形成された前記パッド上に前記バンプを形成する。

【 0 0 1 7 】

(9) 本発明に係る半導体装置は、上記半導体装置の製造方法によって製造されてなる。

【 0 0 1 8 】

(10) 本発明に係る半導体装置は、  
複数のパッドを有する半導体チップと、  
前記半導体チップ上に形成され、少なくとも各前記パッドの端部を覆うように形成された絶縁膜と、  
各前記パッド上に形成されたバンプと、  
を有し、  
前記バンプは、前記開口部の外周よりも内側に形成された第 1 の金属層と、前記第 1 の金属層と前記開口部との間に少なくとも一部が形成された第 2 の金属層と、を有してなる。

【 0 0 1 9 】

(11) 本発明に係る半導体装置は、  
複数のパッドを有する半導体チップと、  
前記半導体チップ上に形成され、少なくとも各前記パッドの端部を覆うように形成された絶縁膜と、  
各前記パッド上に形成されたバンプと、

を有し、

前記バンプは、その端部が前記絶縁膜上に形成されるように前記開口部よりも大きく形成され、

前記絶縁膜は、前記半導体チップの面上よりも前記バンプの前記端部下において薄く形成されてなる。

【 0 0 2 0 】

本発明によれば、半導体チップの面を厚い層によって覆い、かつ、バンプの端部下に形成する絶縁膜を薄い層にする。半導体チップの面を厚い層で覆うことで、半導体チップの耐湿性を高めることができる。また、バンプの端部下の絶縁膜による段差を小さくすることで、パッドとバンプとの接続信頼性を高めることができる。

【 0 0 2 1 】

( 1 2 ) 本発明に係る回路基板は、上記半導体装置が搭載されている。

【 0 0 2 2 】

( 1 3 ) 本発明に係る電子機器は、上記半導体装置を有する。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【 0 0 2 4 】

(第 1 の実施の形態)

図 1 ～図 4 は、本発明を適用した第 1 の実施の形態に係るバンプの形成方法を示す図である。本実施の形態では、半導体チップにバンプを形成する例を説明するが、本発明に係るバンプの形成方法は、これに限定されるものではなく、配線パターンにバンプを形成するときに適用してもよい。その場合、配線パターンのランドがパッドに相当する。また、本発明は、半導体ウェーハに形成されたパッドにバンプを形成するときに適用してもよい。

【 0 0 2 5 】

本実施の形態では、図 1 に示すように、半導体チップ 1 0 を用意する。半導体

チップ 1 0 は複数のパッド 1 2 を有する。パッド 1 2 は、半導体チップ 1 0 の内部に形成された集積回路の電極となる。パッド 1 2 は、半導体チップ 1 0 の端部に並んでいても、半導体チップ 1 0 の中央部に並んでいてもよい。また、パッド 1 2 は、半導体チップの 1 0 が矩形をなすときに平行な 2 辺の端部に沿って並んでいても、4 辺の端部に並んでいてもよい。各パッド 1 2 は、半導体チップ 1 0 に薄く平らに形成されていることが多いが、側面又は縦断面の形状は限定されず、半導体チップ 1 0 の面と面一になっていてもよい。パッド 1 2 は例えばアルミニウムなどで形成される。また、パッド 1 2 の平面形状も特に限定されず、円形であっても矩形であってもよい。

## 【 0 0 2 6 】

半導体チップ 1 0 のパッド 1 2 の形成された側の面には、絶縁膜 1 4 が形成されている。絶縁膜 1 4 は、各パッド 1 2 を覆って形成されている。本実施の形態では絶縁膜 1 4 は、単一層から形成されているが、後述する例に示すように複数層から形成されてもよい。また、絶縁膜 1 4 の厚さは必要に応じて自由に決めることができる。絶縁膜 1 4 は、一般的なパッシベーション膜であってもよい。絶縁膜 1 4 は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。本実施の形態では、各パッド 1 4 の少なくとも一部を絶縁膜 1 4 から露出させる工程と、パッド 1 2 上にバンプを形成する工程と、を同一のレジスト層 2 0 を使用して行うことができる。詳しくは、レジスト層 2 0 を繰り返し形成することなく、一度形成したレジスト層 2 0 を使用して各工程を行うことができる。

## 【 0 0 2 7 】

図 2 (A) に示すように、レジスト層 2 0 を形成する。半導体チップ 1 0 のパッド 1 2 の形成された面に、すなわち絶縁膜 1 4 上に、レジスト層 2 0 を形成する。レジスト層 2 0 は、パッド 1 2 の上方に貫通穴 2 2 を有する。フォトリソグラフィ技術を適用して貫通穴 2 2 を形成してもよい。すなわち、マスクを介して感光性のレジスト層 2 0 にエネルギーを照射、現像して貫通穴 2 2 を形成してもよい。このときに、レジスト層 2 0 はポジ型及びネガ型レジストであることを問わない。または、非感光性のレジスト層 2 0 をエッチングして貫通穴 2 2 を形成

してもよい。

【0028】

貫通穴22は、パッド12の外周を超えない形状で形成することが好ましい。これによって、狭ピッチで設けられた複数のパッド12のそれぞれに、バンプを形成することができる。また、貫通穴22は、半導体チップ10の面に対して垂直に立ち上がる壁面にて形成されることが好ましい。こうすることで、垂直に立ち上がるバンプを形成することができる。

【0029】

図2(B)に示すように、レジスト層20をマスクとして、貫通穴22内の絶縁膜14の部分除去して、パッド12の少なくとも一部を露出させる開口部16を形成する。開口部16は、エッチングによって形成することができる。エッチングの手段は、化学的又は物理的性質を利用したもののいずれであっても構わない。また、エッチングの特性は、等方性又は異方性のいずれであってもよい。後述するように、あらゆる方向に等しくエッチングされる等方性のエッチングであっても、本発明を適用することができる。

【0030】

図2(B)に示すように、本実施の形態では、開口部16を、平面視において貫通穴22の形状の範囲内に形成する。このような開口部16は、例えば異方性のエッチングによって形成することができる。これによって、貫通穴22内に第1の金属層30を形成すれば、パッド12の表面を露出させないようにすることができる。また、レジスト層20に形成した貫通穴22を使用することで、絶縁膜14の開口部16を容易に形成することができる。

【0031】

図3(A)に示すように、貫通穴22内に第1の金属層30を形成する。貫通穴22は開口部16に連通しているので、貫通穴22に第1の金属層30を形成することで、パッド12に電氣的に接続されたバンプを形成することができる。第1の金属層30は、ニッケル又は金などで形成してもよい。また、第1の金属層30は、図3(A)に示すように単一層であってもよく、これとは別に複数層から形成してもよい。

## 【 0 0 3 2 】

第 1 の金属層 3 0 は、無電解メッキによって形成してもよい。例えば、パッド 1 2 がアルミニウムで形成されている場合には、図示しない溶液を使用して、パッド 1 2 上にジケート処理を施してアルミニウム上の表面を亜鉛に置換析出させる。次に、表面を亜鉛に置換したパッド 1 2 に無電解ニッケルメッキ液を設けて、亜鉛とニッケルの置換反応を経てニッケルからなる第 1 の金属層 3 0 をパッド 1 2 上に形成してもよい。あるいは、これとは別に、アルミニウムからなるパッド 1 2 にパラジウムなどの還元剤を含む溶液を設けて、その後、無電解ニッケルメッキ液を設け、パラジウムなどを核としてニッケルからなる第 1 の金属層 3 0 をパッド 1 2 上に析出させてもよい。一般的に、ニッケルは金よりも短時間で形成することができる。

## 【 0 0 3 3 】

図 3 ( B ) に示すように、レジスト層 2 0 を除去する。上述した例に示すように、第 1 の金属層 3 0 を貫通穴 2 2 の内側に形成することができるので、貫通穴 2 2 の形状に応じて第 1 の金属層 3 0 を形成することができる。すなわち、金属が等方成長する無電解メッキを適用しても、横（幅）方向への拡がりを抑えて高さ方向に第 1 の金属層 3 0 を形成することができる。したがって、狭ピッチで複数のパッド 1 2 が形成されていても、隣同士のパッド 1 2 のショートを防止できるバンプを、それぞれのパッド 1 2 に形成することができる。

## 【 0 0 3 4 】

図 3 ( C ) に示すように、必要があれば第 1 の金属層 3 0 の表面に第 2 の金属層 3 2 を形成する。レジスト層 2 0 を除去した後に形成する第 2 の金属層 3 2 は、図 3 ( C ) に示すように単一層であってもよく、これとは別に複数層であっても構わない。第 2 の金属層 3 2 の少なくとも表面層は、金で形成してもよい。金で形成することによって、配線パターン等との電氣的接続をさらに確実にすることができる。なお、第 1 の金属層 3 0 をニッケルで形成した場合には、第 1 の金属層 3 0 （ニッケル層）に無電解金メッキ液を設けて、その表面に第 2 の金属層 3 2 （金層）を形成してもよい。

## 【 0 0 3 5 】

無電解メッキによって第1の金属層30又は第2の金属層32を形成するとき、半導体チップ10を所望の溶液に浸す場合には、半導体チップ10の裏面や側面を予め保護膜で覆ってもよい。また、半導体チップ10を溶液に浸す間は光を遮断することが好ましい。これによって、溶液に半導体チップ10を浸したことによって起こる溶液中での電極間の電位変化を防止することができる。なお、本実施の形態で無電解メッキで使用した金属は、一例であって、これに限定されるものではなく、例えば銅を使用してもよい。

#### 【0036】

本実施の形態によれば、一度形成したレジスト層20を用いて、絶縁膜14に開口部16を形成し、貫通穴22内に第1の金属層30を形成するので、簡単な工程でバンプを形成することができる。第1の金属層30は、レジスト層20の貫通穴22に形成するので、貫通穴22の大きさに応じた形状で、すなわち所望な幅で形成することができる。

#### 【0037】

以上の工程によって、図4に示すように、半導体チップ10のそれぞれのパッド12に、第1の金属層30及び必要に応じて形成する第2の金属層32からなるバンプ40を形成することができる。この半導体チップ10は、フリップチップとして、基板にフェースダウンボンディングすることができる。その場合、基板に形成された配線パターン（ランド）と、バンプ40と、を電氣的に接続する。電氣的接続には、異方性導電膜（ACF）や異方性導電ペースト（ACP）等の異方性導電材料を使用して、導電粒子をバンプ40と配線パターンとの間に介在させてもよい。あるいは、Au-Au、Au-Sn、ハンダなどによる金属接合や、絶縁樹脂の収縮力によって、バンプ40と配線パターン（特にランド）とを電氣的に接続してもよい。

#### 【0038】

##### （第2の実施の形態）

図5（A）～図6（B）は、本発明を適用した第2の実施の形態に係るバンプの形成方法を示す図である。以下に、第1の実施の形態と異なる点について説明する。

## 【 0 0 3 9 】

図 5 ( A ) に示すように、貫通穴 2 2 を介して、絶縁膜 1 4 の一部を除去する。本実施の形態では、絶縁膜 1 4 の開口部 1 8 は、レジスト層 2 0 の貫通穴 2 2 を超えた形状で形成されている。例えば、絶縁膜 1 4 の一部を等方性のエッチングによって除去することで、このような開口部 1 8 を形成してもよい。開口部 1 8 は、図 5 ( A ) に示すように、パッド 1 2 の外周を超えない大きさで形成されてもよい。

## 【 0 0 4 0 】

図 5 ( B ) に示すように、貫通穴 2 2 内に第 1 の金属層 3 0 を形成する。この場合に、平面視において開口部 1 8 の形状は貫通穴 2 2 よりも大きいので、開口部 1 8 における貫通穴 2 2 からはみ出す外側の部分に、第 1 の金属層 3 0 が形成されにくい場合がある。これによって、図 6 ( A ) に示すようにレジスト層 2 0 を除去したときに、パッド 1 2 上には、第 1 の金属層 3 0 の周囲に絶縁膜 1 4 からの露出部 1 3 が形成されてしまう。そこで、本実施の形態では、図 6 ( B ) に示すように、レジスト層 2 0 を除去した後に、第 2 の金属層 3 2 を形成して露出部 1 3 を覆う。

## 【 0 0 4 1 】

例えば、第 2 の金属層 3 2 は内側及び外側の層 3 4、3 6 からなり、図 6 ( B ) に示すように、そのうちの内側の層 3 4 によって露出部 1 3 の表面を覆ってもよい。内側の層 3 4 は、第 1 の金属層 3 0 と同一部材であってもよく、例えばニッケルなどを使用することができる。こうすることで、パッド 1 2 の表面を露出させることなく、バンプを形成することができる。また、外側の層 3 6 は、金によって形成してもよい。また、これとは別に、単一層からなる第 2 の金属層 3 2 によって、露出部 1 3 を覆ってもよい。この場合に第 2 の金属層 3 2 は、ニッケル又は金によって形成してもよい。

## 【 0 0 4 2 】

本実施の形態に係る半導体装置は、パッド 1 2 を有する半導体チップ 1 0 と、絶縁膜 1 4 と、第 1 及び第 2 の金属層 3 0、3 2 を有するバンプと、を含む。

## 【 0 0 4 3 】

絶縁膜 1 4 は、パッド 1 2 の中央部に開口部 1 8 が形成され、半導体チップ 1 0 の面から各パッド 1 2 の端部までを覆うように形成されている。第 1 の金属層 3 0 は開口部 1 8 の内側に形成され、第 1 の金属層 3 0 と開口部 1 8 との間に第 2 の金属層 3 2 の少なくとも一部が形成されている。第 2 の金属層 3 2 は、図 6 (B) に示すように、第 1 の金属層 3 0 の表面を覆っており、その表面を覆ううちの一部が、第 1 の金属層 3 0 と開口部 1 8 との間に形成されてもよい。また、これとは別に、第 2 の金属層 3 2 を、第 1 の金属層 3 0 と開口部 1 8 との間のみ形成してもよい。いずれにしても、本実施の形態によって、パッド 1 2 を露出させることのないバンプを形成することができる。

## 【 0 0 4 4 】

## (第 3 の実施の形態)

図 7 (A) ～図 8 (B) は、本発明を適用した第 3 の実施の形態に係るバンプの形成方法を示す図である。以下に、上述の実施の形態と異なる点について説明する。

## 【 0 0 4 5 】

本実施の形態では、図 7 (A) に示すように、絶縁膜 1 5 が形成された半導体チップ 1 0 を用意する。絶縁膜 1 5 は、パッド 1 2 の中央部を覆う部分が、半導体チップ 1 0 の面からパッド 1 2 の端部を覆う部分よりも薄く形成されている。絶縁膜 1 5 は、単一層から形成されてもよく、複数層から形成されてもよい。例えば、図 7 (A) に示すように、絶縁膜 1 5 は、上層 5 0 及び下層 6 0 から形成されてもよい。この場合に、下層 6 0 は、パッド 1 2 の中央部に開口部 6 2 を有し、半導体チップ 1 0 の面からパッド 1 2 の端部を覆うように形成される。また、上層 5 0 は、下層 6 0 及びパッド 1 2 の中央部上に形成される。このようにして、パッド 1 2 の中央部に絶縁膜 1 5 の薄い部分 1 7 が形成されていてもよい。

## 【 0 0 4 6 】

図 7 (A) に示すように、半導体チップ 1 0 の絶縁膜 1 5 上に、貫通穴 2 2 を有するレジスト層 2 0 を形成する。貫通穴 2 2 は、パッド 1 2 の外周よりも内側であって、絶縁膜 1 5 の薄い部分 1 7 よりも外側に形成してもよい。絶縁膜 1 5 が上層 5 0 及び下層 6 0 からなる場合は、下層 6 0 のうちパッド 1 2 の端部を覆



う部分の上方に貫通穴 2 2 の壁面が形成されてもよい。こうすることで、貫通穴 2 2 内の絶縁膜 1 5 の部分を除去した場合に、絶縁膜 1 5 の開口部を、貫通穴 2 2 を超えない形状で形成しやすくすることができる。詳しく言うと、絶縁膜 1 5 の薄い部分 1 7 の少なくとも一部を除去できる程度の時間や処理能力でエッチングすることによって、絶縁膜 1 5 の厚い部分を除去することなく、絶縁膜 1 5 の開口部を貫通穴 2 2 を超えない形状で形成することができる。

## 【 0 0 4 7 】

また、これとは別に、貫通穴 2 2 を絶縁膜 1 5 の薄い部分 1 7 の領域内に形成してもよい。この場合においても、貫通穴 2 2 内の絶縁膜 1 5 の薄い部分 1 7 の少なくとも一部を除去すれば、絶縁膜 1 5 の開口部を貫通穴 2 2 を超えない形状で形成することができる。

## 【 0 0 4 8 】

また、さらに別に、貫通穴 2 2 をパッド 1 2 の外周及びその外側に形成しても構わない。このように貫通穴 2 2 を形成しても、絶縁膜 1 5 を除去するときに、例えば絶縁膜 1 5 のパッド 1 2 の端部を覆う部分（例えば下層 6 0）を除去せずに残すことで、半導体チップ 1 0 及びパッド 1 2 を絶縁膜 1 5 から露出させずにパンプを形成することができる。

## 【 0 0 4 9 】

図 7 (B) に示すように、貫通穴 2 2 を介して、絶縁膜 1 5 の一部を除去する。絶縁膜 1 5 の開口部を、その形状が貫通穴 2 2 の大きさを超えるように形成してもよい。例えば、上層 5 0 の開口部 5 2 を貫通穴 2 2 の形状を超えて形成してもよい。この場合に、下層 6 0 の開口部 6 2 を貫通穴 2 2 を超えない形状で形成すれば、後の工程で形成する第 1 の金属層 3 0 をパッド 1 2 の表面を露出させずに形成することができる。また、下層 6 0 の開口部 6 2 を貫通穴 2 2 を超えた形状で形成した場合であっても、上述した例に示すように、レジスト層 2 0 を除去した後に、パッド 1 2 における第 1 の金属層 3 0 の周囲の露出部に、第 2 の金属層 3 2 (図示しない) の少なくとも一部を形成して、その露出部を覆えばよい。

## 【 0 0 5 0 】

あるいは、貫通穴 2 2 を超えない形状で絶縁膜 1 5 の開口部を形成してもよい

。例えば絶縁膜 1 5 が上層 5 0 及び下層 6 0 からなる場合は、各層の開口部 5 2、6 2 を、貫通穴 2 2 を超えない形状で形成してもよい。

#### 【 0 0 5 1 】

図 8 (A) に示すように、貫通穴 2 2 内に第 1 の金属層 3 0 を形成する。下層 6 0 の開口部 6 2 を貫通穴 2 2 を超えない形状で形成し、上層 5 0 の開口部 5 2 を貫通穴 2 2 を超えた形状で形成した場合は、第 1 の金属層 3 0 をその端部が下層 6 0 上に載るように形成することができる。すなわち、第 1 の金属層 3 0 の端部下に形成される絶縁膜 1 5 の部分を、薄く形成することができる。これによって、バンプの端部下の絶縁膜 1 5 による段差を小さくして、バンプとパッド 1 2 との電氣的接続を確実に図ることができる。

#### 【 0 0 5 2 】

図 8 (B) に示すように、レジスト層 2 0 を除去する。第 1 の金属層 3 0 をその端部が絶縁膜 1 5 (下層 6 0) 上に載るように形成することで、パッド 1 2 を露出させずに第 1 の金属層 3 0 を形成することができる。また、第 1 の金属層 3 0 の表面に第 2 の金属層 (図示しない) を形成してもよい。例えば、上層 5 0 の開口部 5 2 と下層 6 0 の開口部 6 2 の大きさが異なる場合に、下層 6 0 が端部下に形成された第 1 の金属層 3 0 の表面に、上層 5 0 を端部下に有する第 2 の金属層を形成してもよい。これによって、第 1 の金属層 3 0 及び第 2 の金属層からなるバンプの端部下における絶縁膜 1 5 による段差を階段状にして緩和して、バンプとパッド 1 2 との電氣的接続を確実に図ることができる。また、これとは別に、第 1 の金属層 3 0 の周囲に絶縁膜 1 5 からの露出部が形成される場合には、この露出部を覆うように第 2 の金属層を形成してもよい。

#### 【 0 0 5 3 】

本実施の形態に係る半導体装置は、パッド 1 2 を有する半導体チップ 1 0 と、絶縁膜 1 5 と、各パッド 1 2 に形成されたバンプと、を含む。

#### 【 0 0 5 4 】

絶縁膜 1 5 は、パッド 1 2 の中央部に開口部が形成され、半導体チップ 1 0 の面から各パッド 1 2 の端部までを覆うように形成されている。バンプは、その端部が絶縁膜 1 5 上に載るように、絶縁膜 1 5 の開口部よりも大きく形成されてい

る。バンプは、上述した例に示すように第 1 の金属層 3 0 を有してもよい。また、バンプは、第 1 の金属層 3 0 の外側に形成された第 2 の金属層をさらに含んでもよい。絶縁膜 1 5 は、バンプの端部下に形成されてなる薄い層と、半導体チップ 1 0 の面に形成される厚い層と、を有する。例えば図 8 (B) に示すように、第 1 の金属層 3 0 の端部下に、複数層からなる絶縁膜 1 5 の下層 6 0 の一部が入り込んでいてもよい。

## 【 0 0 5 5 】

これによれば、半導体チップ 1 0 の面を厚い層によって覆い、かつ、バンプの端部下に形成する絶縁膜 1 5 を薄い層にする。半導体チップ 1 0 の面を厚い層で覆うことで、半導体チップ 1 0 の耐湿性を高めることができる。また、バンプの端部下の絶縁膜 1 5 による段差を小さくすることで、パッド 1 2 とバンプとの接続信頼性を高めることができる。

## 【 0 0 5 6 】

図 9 は、本発明を適用した半導体装置を示す図である。図 9 に示す半導体装置 1 は、上述したバンプ 4 0 がパッド 1 2 上に形成された半導体チップ 1 0 と、配線パターン 7 2 が形成された基板 7 0 と、複数の外部端子 8 0 と、を含む。

## 【 0 0 5 7 】

この例では、半導体チップ 1 0 は、基板 7 0 に対してフェースダウンボンディングされている。半導体チップ 1 0 と基板 7 0 とは、異方性導電材料 7 4 によって接着されている。そして、バンプ 4 0 と配線パターン 7 2 とは、導電粒子によって電氣的に接続されている。基板 7 0 には、複数の外部端子 8 0 が設けられている。外部端子 8 0 は、図示しないスルーホールなどを介して配線パターン 7 2 に電氣的に接続されている。各外部端子 8 0 は、ハンダボールであってもよい。ハンダなどを印刷してリフロー工程を経て外部端子 8 0 を形成してもよい。外部端子 8 0 はハンダのほかに銅などによって形成してもよい。また、積極的に外部端子 8 0 を形成せずにマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

## 【 0 0 5 8 】

図 1 0 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1 0 0 が示されている。回路基板 1 0 0 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1 0 0 には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 8 0 とを機械的に接続することでそれらの電氣的導通を図る。

【 0 0 5 9 】

そして、本発明を適用した半導体装置 1 を有する電子機器として、図 1 1 にはノート型パーソナルコンピュータ 2 0 0、図 1 2 には携帯電話 3 0 0 が示されている。

【図面の簡単な説明】

【図 1】

図 1 は、本発明を適用した第 1 の実施の形態に係るバンプの形成方法を示す図である。

【図 2】

図 2 (A) 及び図 2 (B) は、本発明を適用した第 1 の実施の形態に係るバンプの形成方法を示す図である。

【図 3】

図 3 (A) ～図 3 (C) は、本発明を適用した第 1 の実施の形態に係るバンプの形成方法を示す図である。

【図 4】

図 4 は、本発明を適用した第 1 の実施の形態に係るバンプの形成方法を示す図である。

【図 5】

図 5 (A) 及び図 5 (B) は、本発明を適用した第 2 の実施の形態に係るバンプの形成方法を示す図である。

【図 6】

図 6 (A) 及び図 6 (B) は、本発明を適用した第 2 の実施の形態に係るバンプの形成方法を示す図である。

【図 7】

図 7 (A) 及び図 7 (B) は、本発明を適用した第 3 の実施の形態に係るバンプの形成方法を示す図である。

【図 8】

図 8 (A) 及び図 8 (B) は、本発明を適用した第 3 の実施の形態に係るバンプの形成方法を示す図である。

【図 9】

図 9 は、本発明を適用した実施の形態に係る半導体装置を示す図である。

【図 1 0】

図 1 0 は、本発明を適用した実施の形態に係る半導体装置が搭載された回路基板を示す図である。

【図 1 1】

図 1 1 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 1 2】

図 1 2 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

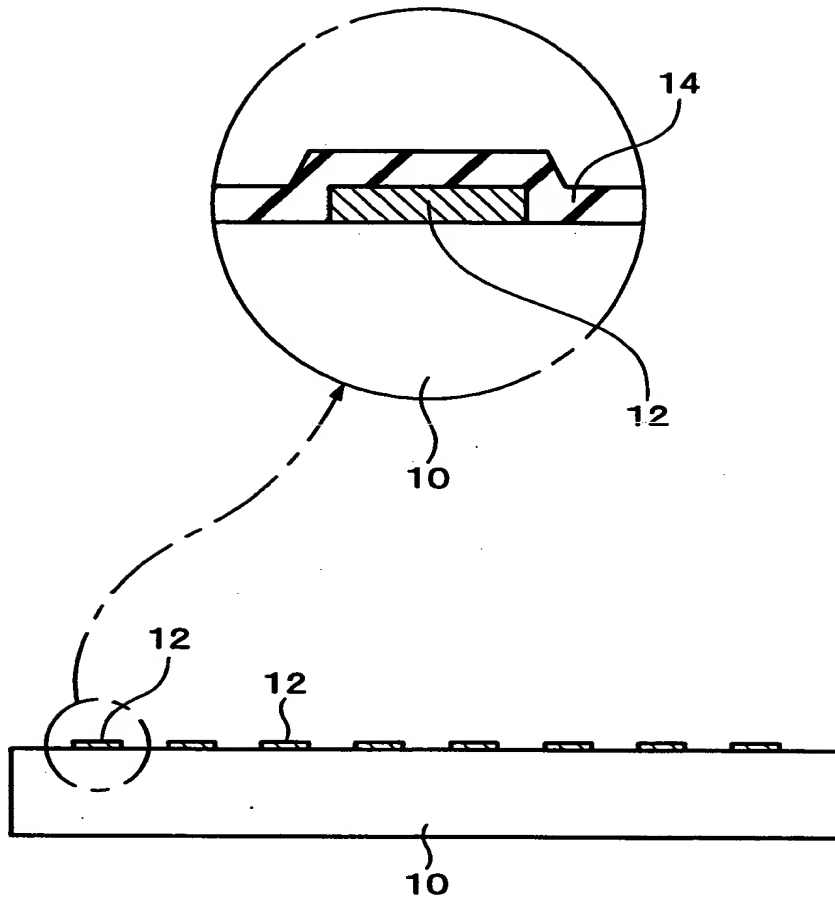
【符号の説明】

- 1 0 半導体チップ
- 1 2 パッド
- 1 4 絶縁膜
- 1 5 絶縁膜
- 1 6 開口部
- 1 8 開口部
- 2 0 レジスト層
- 2 2 貫通穴
- 3 0 第 1 の金属層
- 3 2 第 2 の金属層
- 4 0 バンプ
- 5 0 上層

- 5 2 開口部
- 6 0 下層
- 6 2 開口部
- 7 0 基板
- 7 2 配線パターン
- 7 4 異方性導電材料
- 8 0 外部端子

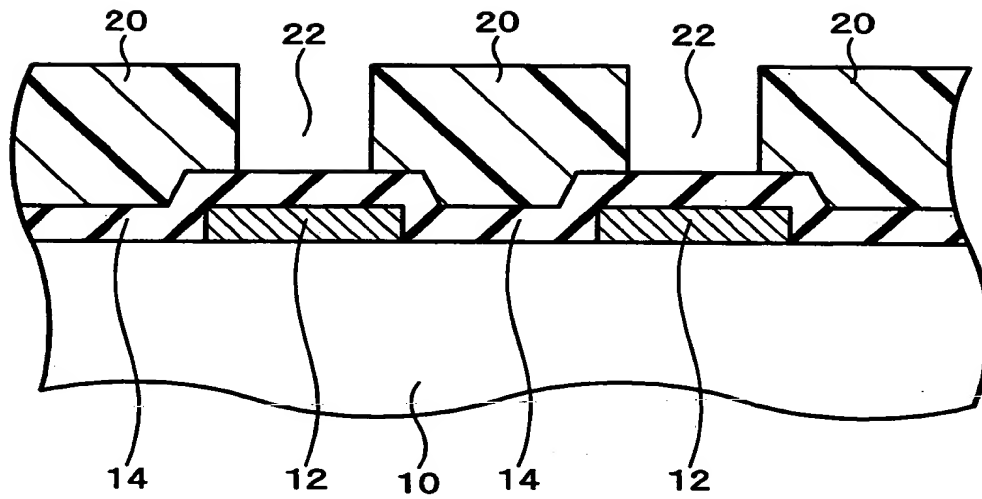
【書類名】 図面

【図 1】

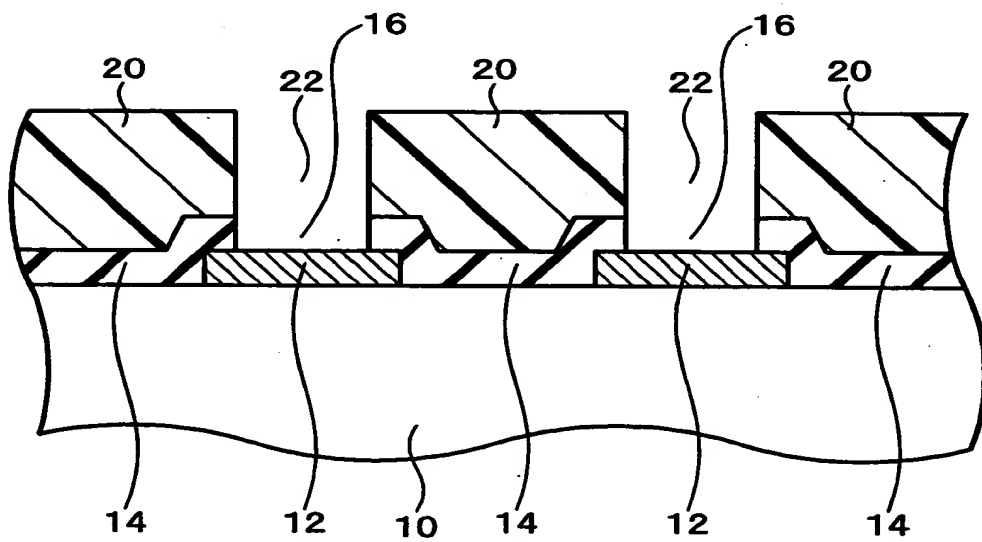


【図 2】

(A)



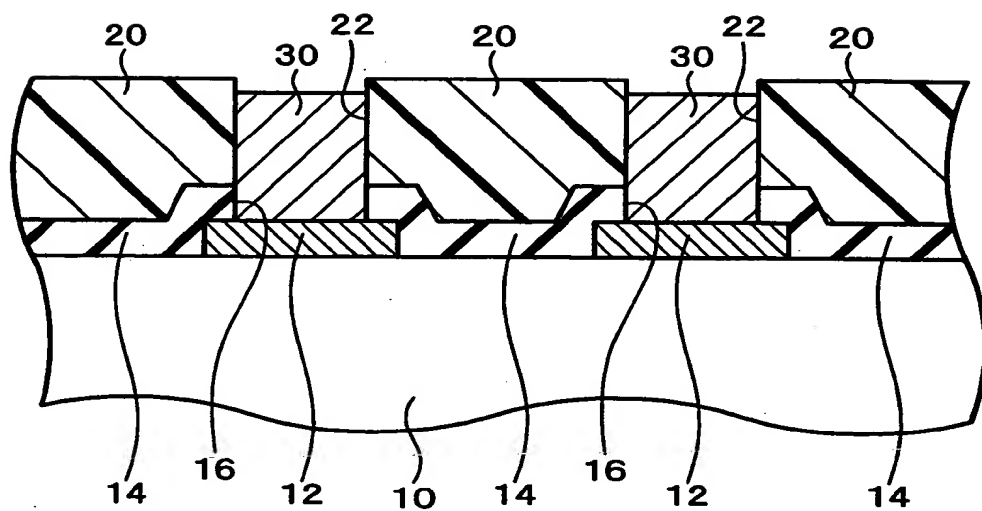
(B)



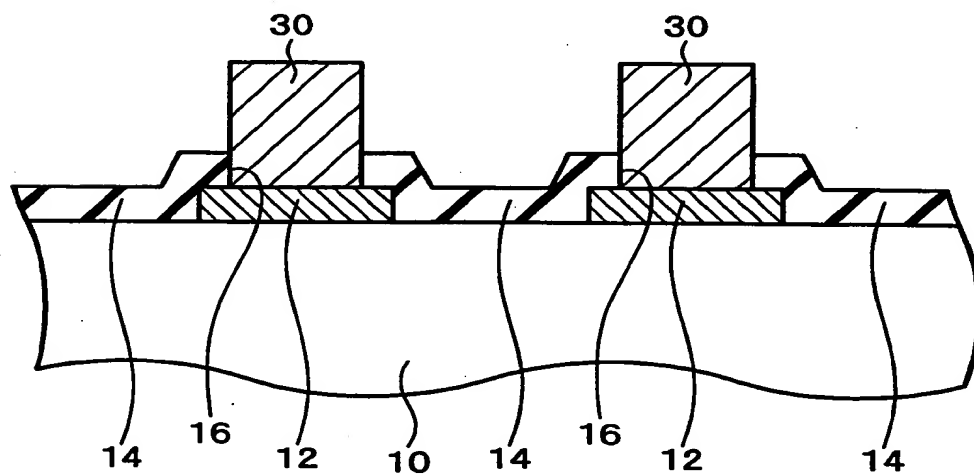


【図 3】

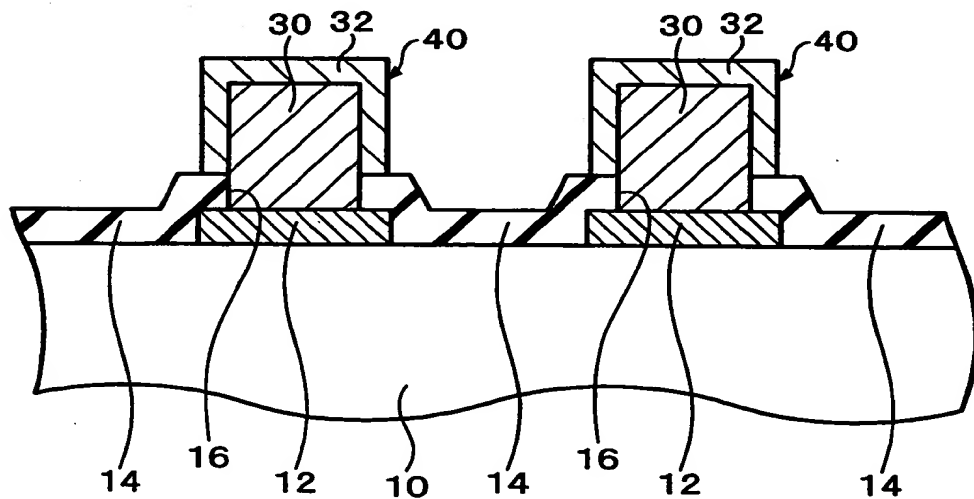
(A)



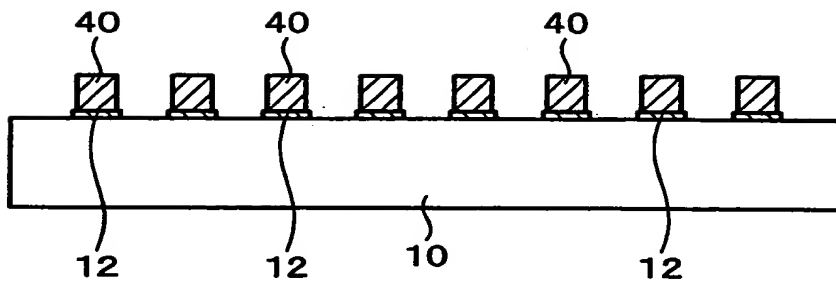
(B)



(C)

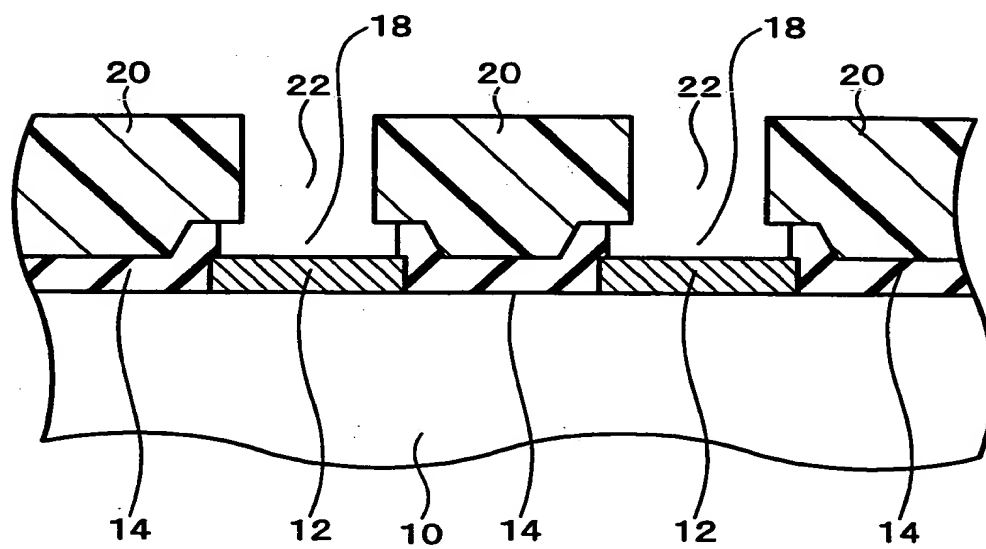


【図4】

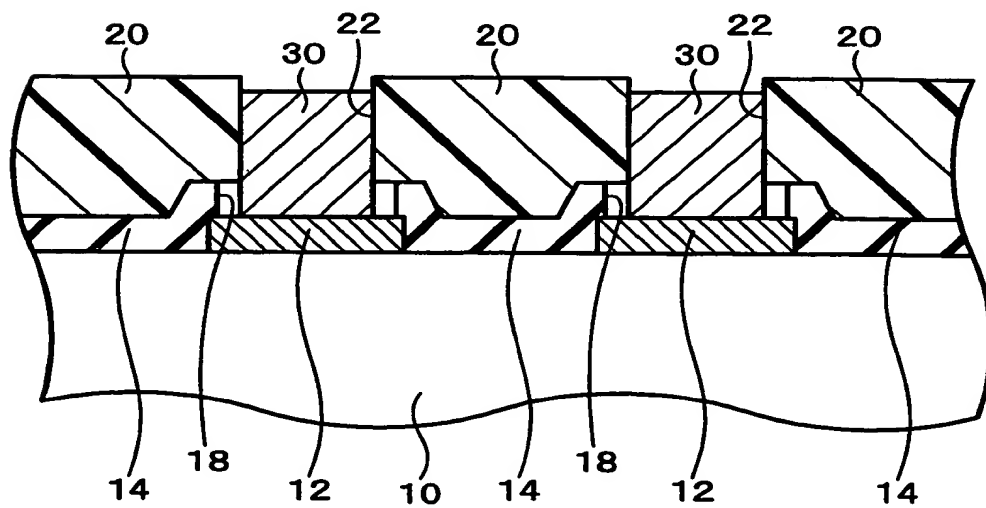


【図5】

(A)

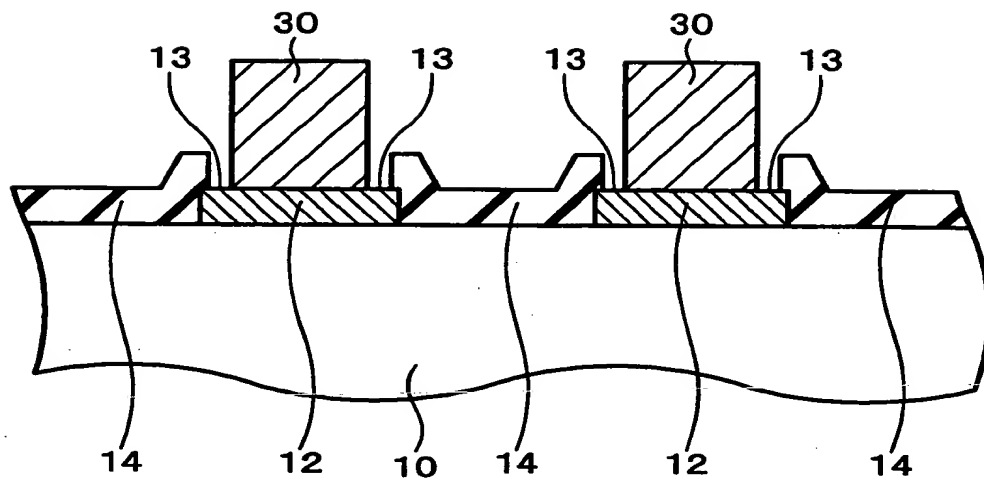


(B)

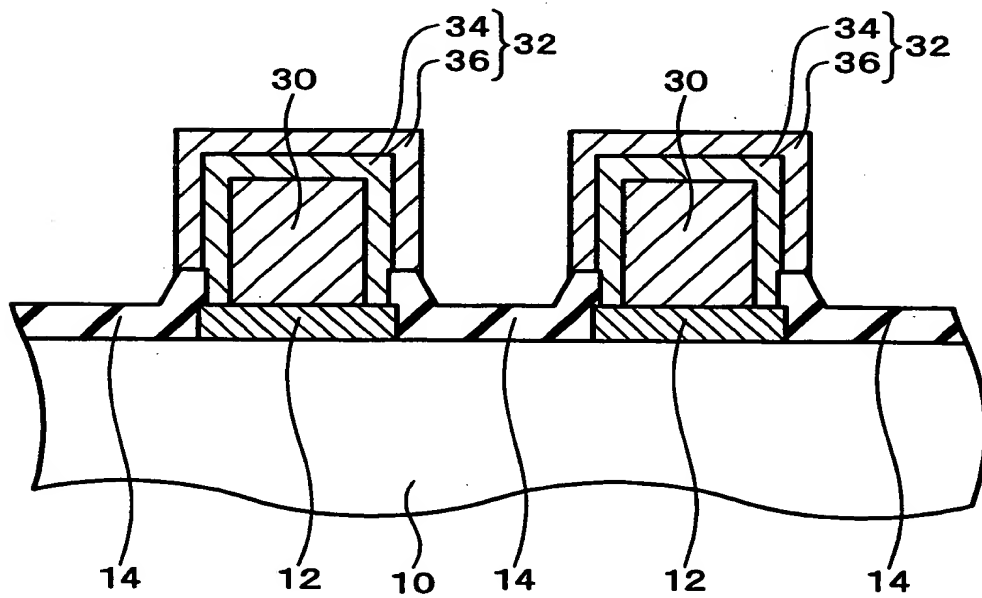


【図 6】

(A)

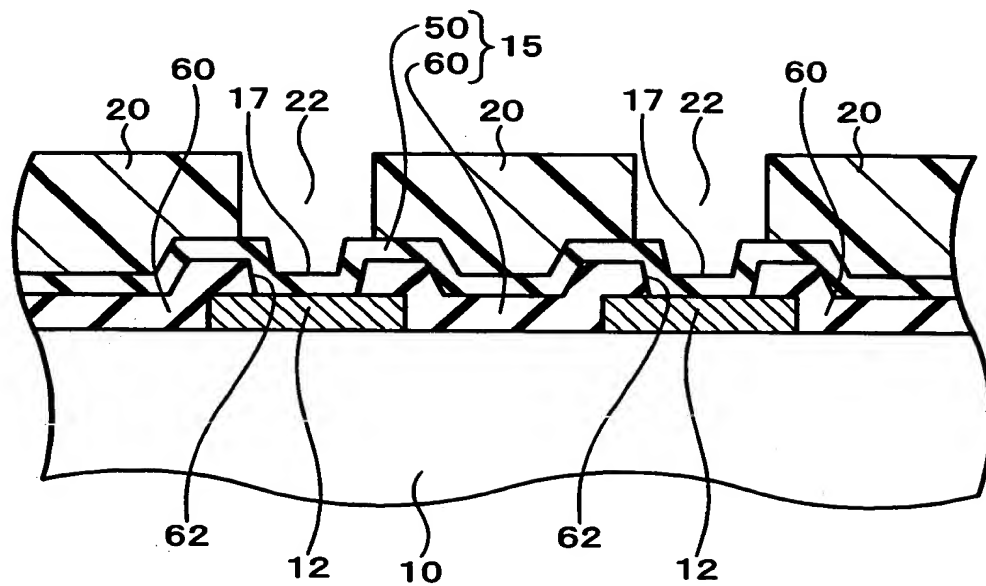


(B)

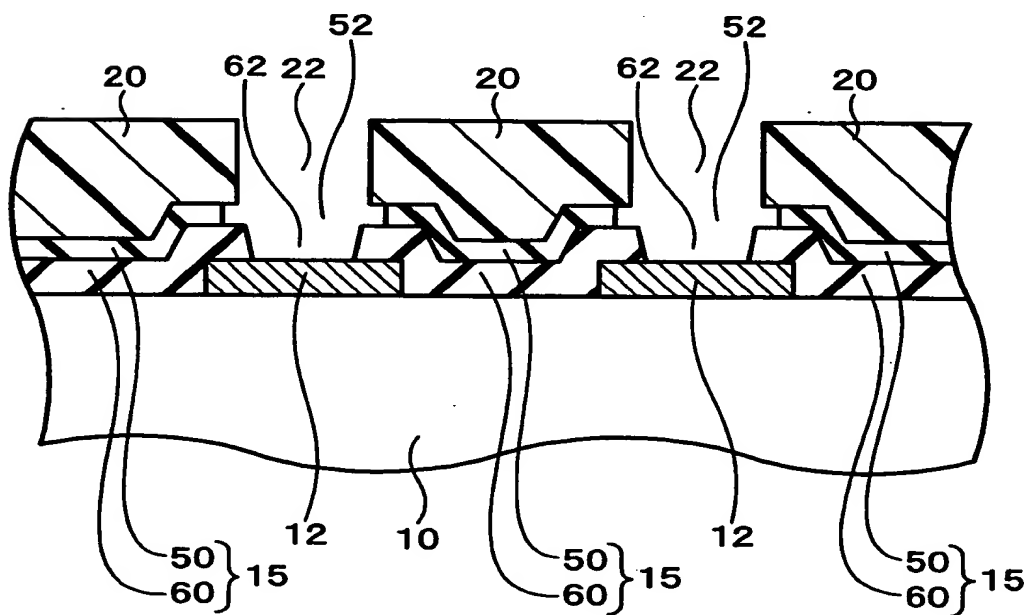


【図 7】

(A)

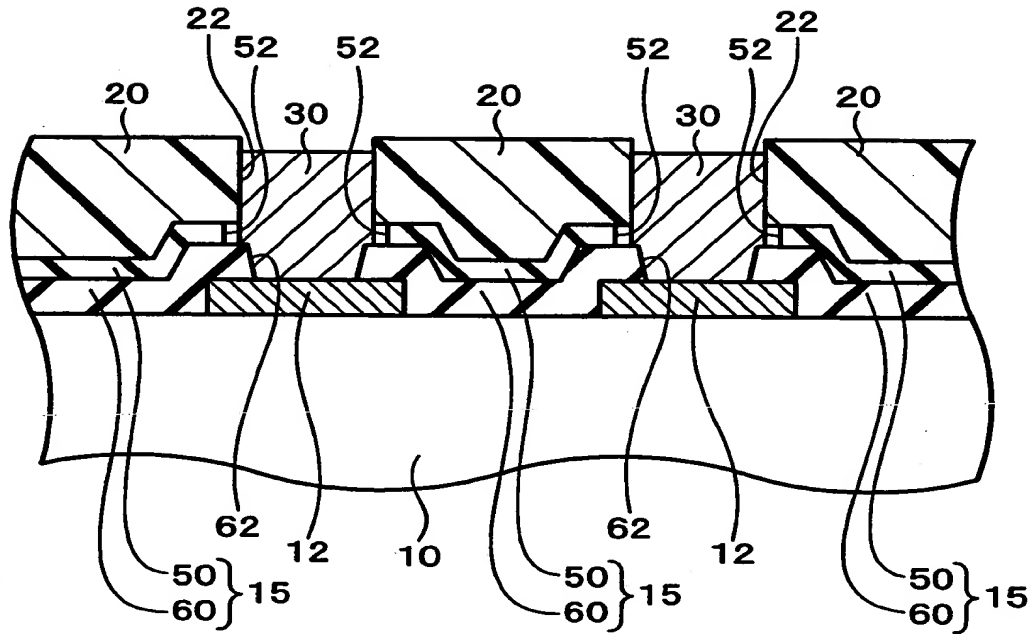


(B)

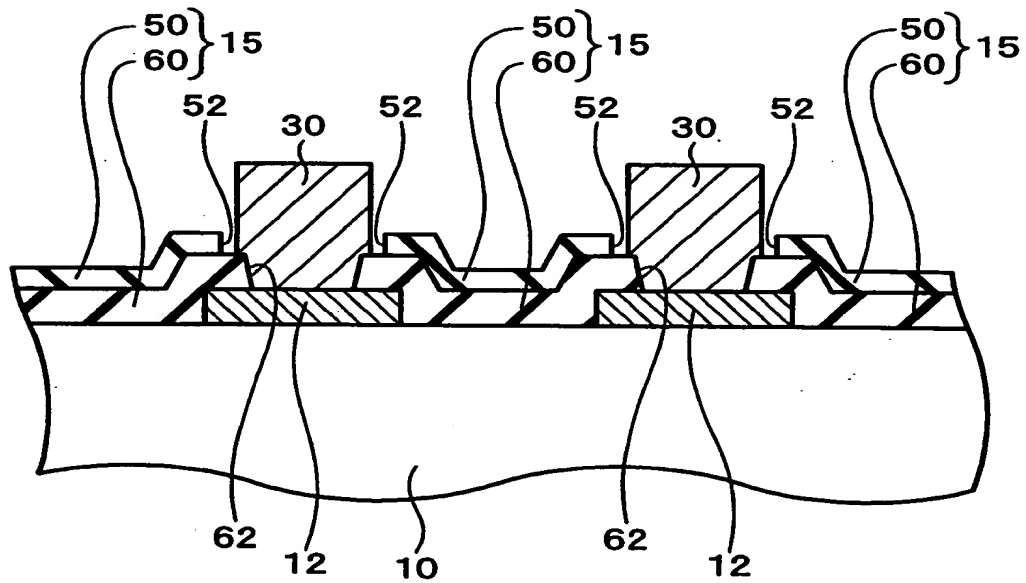


【図 8】

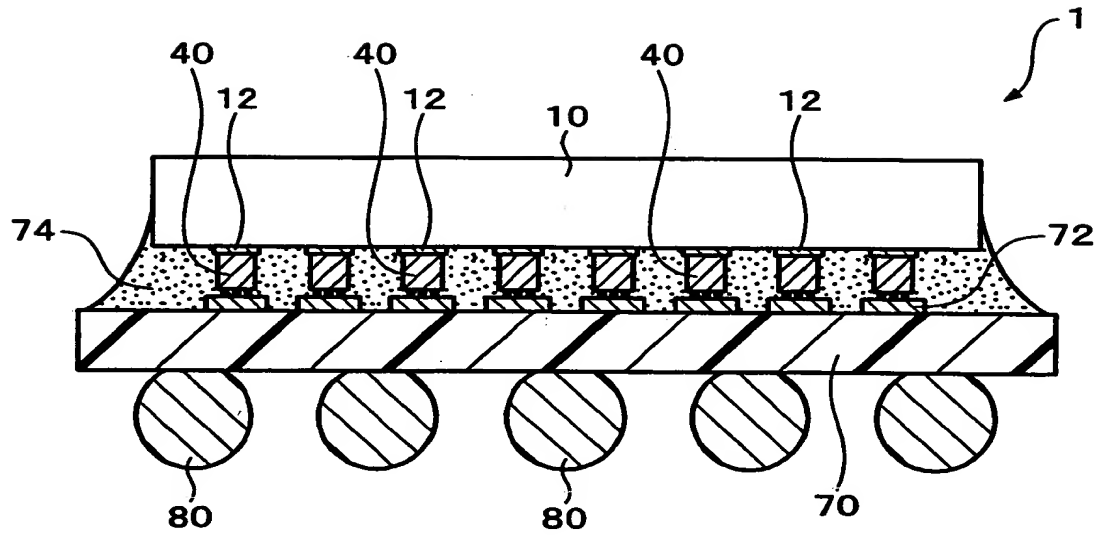
(A)



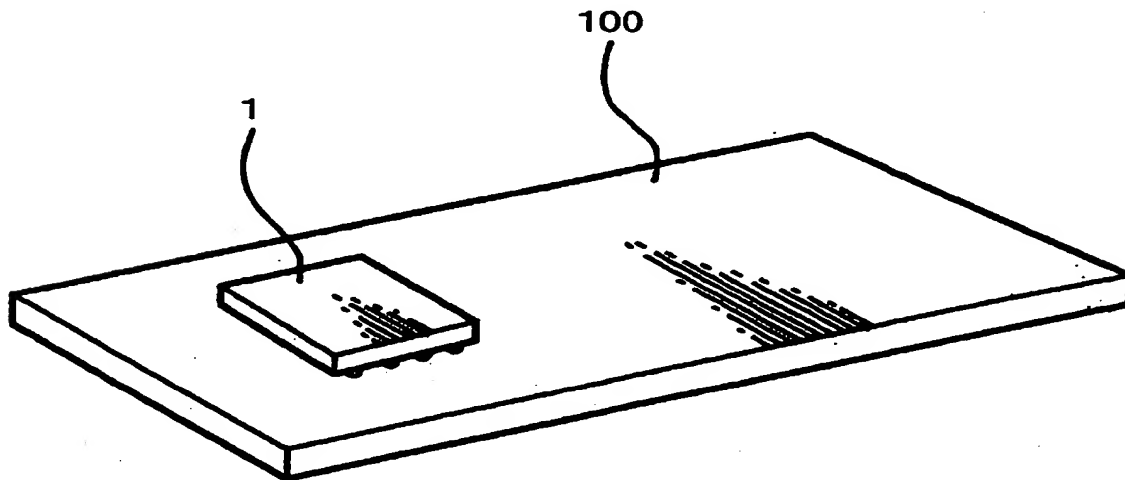
(B)



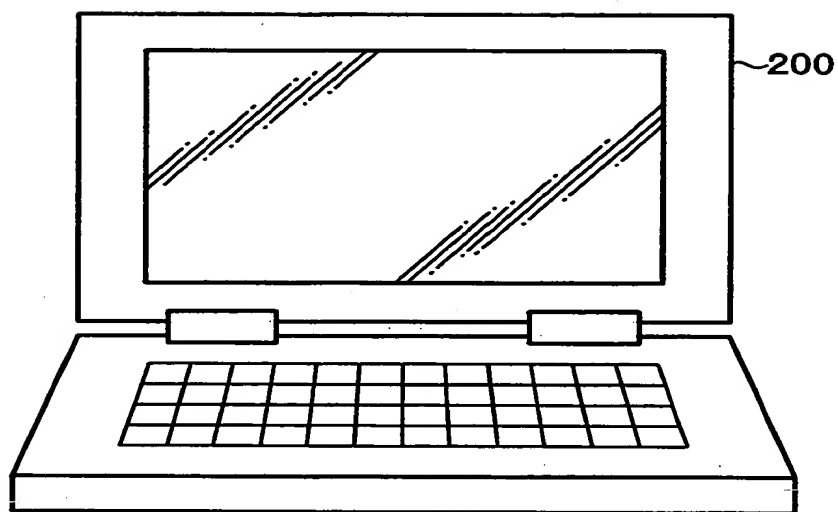
【図9】



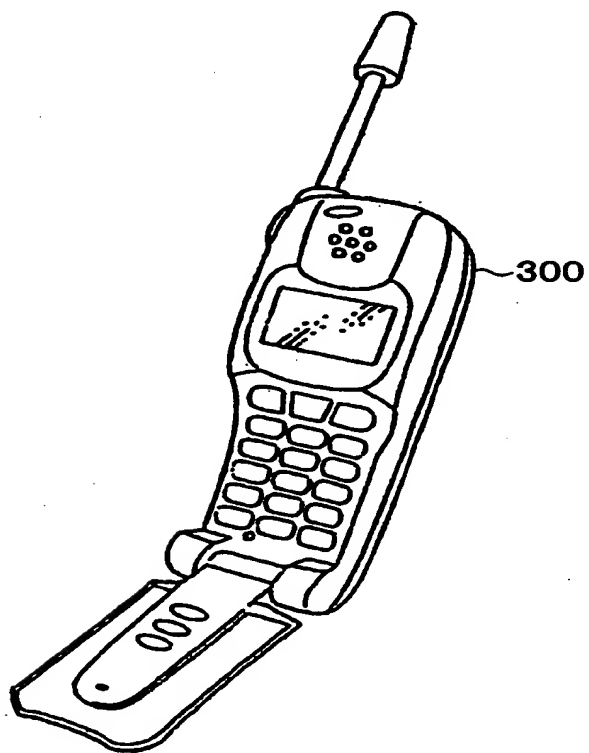
【図10】



【図 1 1】



【図 1 2】



【書類名】            要約書

【要約】

【課題】    所望な幅で、かつ、簡単にバンプを形成することができるバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】    バンプの形成方法は、パッド 1 2 の少なくとも一部を露出させる開口部 1 6 を絶縁膜 1 5 に形成し、前記パッド 1 2 と接続するバンプを形成する方法であって、前記パッド 1 2 と少なくとも一部において平面的に重なる貫通穴 2 2 を有するレジスト層 2 0 を形成し、前記絶縁膜 1 5 に開口部 1 6 を形成し、前記開口部 1 6 により露出する前記パッド 1 2 と接続する金属層を形成する。

【選択図】            図 3



出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社